



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08160922 A**(43) Date of publication of application: **21.06.96**

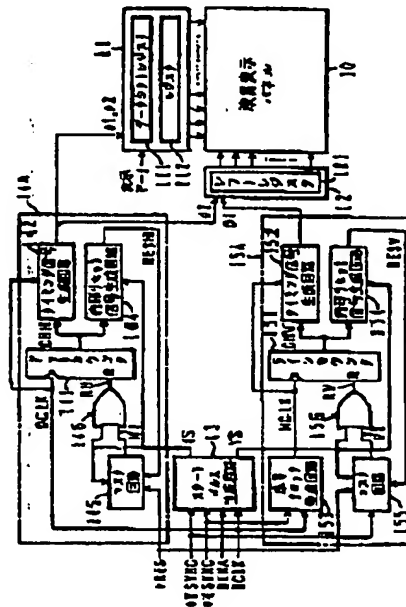
(51) Int. Cl.

**G09G 3/36****G02F 1/133****H04N 5/66**(21) Application number: **06306405**(22) Date of filing: **09.12.94**(71) Applicant: **FUJITSU LTD**(72) Inventor:  
**MINEMURA TOSHIMITSU**  
**SEKIDO SATORU**  
**OKAMOTO KAZUHIRO**  
**FURUKOSHI YASUTAKE****(54) LIQUID CRYSTAL DISPLAY DEVICE****(57) Abstract**

**PURPOSE:** To make it possible to continue display with an adequate display mode even if data enable signals are no more supplied to a liquid crystal display device by a disconnection, etc.

**CONSTITUTION:** The data enable signals DENA indicating that display data is effective are supplied and dot clocks DCLK are counted by a dot counter 141. The count value CNH is reset by a horizontal start pulse HS indicating near the point of the time the activation of the data enable signals DENA. A control signal to a display electrode driving circuit 11 of a liquid crystal display panel 10 is formed in accordance with the dot clocks DCLK and the count value CNH. The count value CNB is stored in a register by the timing of the horizontal start pulse HS and the count value CNH is reset in accordance with the coincidence of the holding value and the count value CNH. The reset is prohibited by a mask circuit 145 before two pieces of the horizontal start pulses HS are formed after the system reset.

COPYRIGHT: (C)1996,JPO



②

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-160922

(43) 公開日 平成8年(1996)6月21日

(51) IntCl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36				
G 0 2 F 1/133	5 0 5			
H 0 4 N 5/66	1 0 2 B			

審査請求 未請求 請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願平6-306405

(22) 出願日 平成6年(1994)12月9日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72) 発明者 峯村 敏光

神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(72) 発明者 関戸 哲

神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(74) 代理人 弁理士 松本 眞吉

最終頁に続く

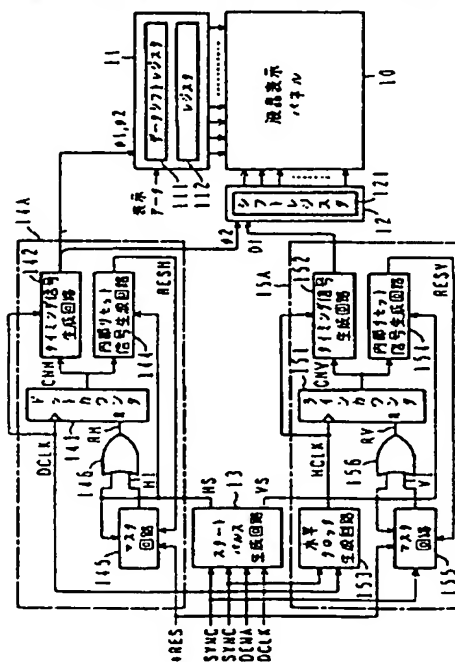
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【目的】 断線等によりデータイネーブル信号が液晶表示装置に供給されなくなっても、適当な表示モードで表示を継続する。

【構成】 表示データが有効であることを示すデータイネーブル信号DENAが供給され、ドットクロックDCLKがドットカウンタ141で計数され、その計数値CNHが、データイネーブル信号DENAのアクティブ開始時点付近を示す水平スタートパルスHSでリセットされ、ドットクロックDCLK及び計数値CNHに基づいて液晶表示パネル10の表示電極駆動回路11に対する制御信号が生成され、水平スタートパルスHSのタイミングで計数値CNHがレジスタに保持され、その保持値と計数値CNHとの一致に基づいて計数値CNHがリセットされる。システムリセット後、水平スタートパルスHSが2個生成される迄の間、該リセットがマスク回路145により禁止される。

本発明の一実施例の液晶表示装置を示すブロック図



## 【特許請求の範囲】

【請求項 1】 ドットクロックに同期して表示データが線順次に供給され、該表示データが有効であることを示すデータイネーブル信号が供給され、該ドットクロックがドットカウンタで計数され、該ドットカウンタの計数値が、該データイネーブル信号のアクティブ開始時点付近を示す水平スタートパルスでリセットされ、該ドットクロック及び該ドットカウンタの計数値に基づいて液晶表示パネルの表示電極駆動回路に対する制御信号が生成される液晶表示装置において、  
該水平スタートパルスのタイミングで該計数値を保持するレジスタと、  
該レジスタの出力値と該計数値との一致を検出する一致検出回路と、  
を有し、該一致検出回路の出力に基づいて該ドットカウンタの計数値がリセットされることを特徴とする液晶表示装置。

【請求項 2】 システムリセット後、前記水平スタートパルスが所定個数生成される迄の間、前記一致検出回路の出力に基づいて前記ドットカウンタの計数値がリセットされるのを禁止するマスク回路、  
を有することを特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】 ドットクロックに同期して表示データが線順次に供給され、該表示データが有効であることを示すデータイネーブル信号が供給され、水平同期信号に同期した水平クロックがラインカウンタで計数され、該ラインカウンタの計数値が、垂直同期信号の各周期内の最初の該データイネーブル信号のアクティブ開始時点付近を示す垂直スタートパルスでリセットされ、該ラインカウンタの計数値に基づいて液晶表示パネルの走査電極駆動回路に対する走査行データが生成される液晶表示装置において、  
該垂直スタートパルスのタイミングで該計数値を保持するレジスタと、  
該レジスタの出力値と該計数値との一致を検出する一致検出回路と、  
を有し、該一致検出回路の出力に基づいて該ラインカウンタの計数値がリセットされることを特徴とする液晶表示装置。

【請求項 4】 システムリセット後、前記垂直スタートパルスが所定個数生成される迄の間、前記一致検出回路の出力に基づいて前記ラインカウンタの計数値がリセットされるのを禁止するマスク回路、  
を有することを特徴とする請求項 3 記載の液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、表示データ有効期間を示す信号が供給される液晶表示装置に関する、

## 【0002】

【従来の技術】 図 4 は、この種の従来の液晶表示装置を示す。液晶表示パネル 10 のデータ電極及び走査電極にはそれぞれデータ電極駆動回路 11 及び走査電極駆動回路 12 が接続されている。データ電極駆動回路 11 は、1 画素の表示データ単位でシフトさせるデータシフトレジスタ 111 と、1 行分の表示データを保持するレジスタ 112 とを備えており、クロック  $\phi 1$  のタイミングでデータシフトレジスタ 111 をシフトさせて、ドットクロック DCLK に同期して線順次に供給される表示データを取り込み、これを 1 行表示画素数に等しい回数繰り返した後、データシフトレジスタ 111 に格納された 1 行分の表示データをクロック  $\phi 2$  のタイミングでレジスタ 112 に移す。

【0003】 走査電極駆動回路 12 は、シフトレジスタ 121 を備えており、クロック  $\phi 2$  のタイミングでシフトレジスタ 121 がシフトされ、選択行データ D1 がシフトレジスタ 121 の最下位ビットに取り込まれる。選択行データ D1 は、第 1 行選択期間のみ '1' となり、シフトレジスタ 121 の '1' のビットに相当する行の走査電極が選択される。

【0004】 クロック  $\phi 1$ 、 $\phi 2$  及び選択行データ D1 は、スタートパルス生成回路 13、X 制御回路 14 及び Y 制御回路 15 により生成される。X 制御回路 14 は、ドットクロック DCLK を計数するドットカウンタ 141 と、その計数値 CNH 及びドットクロック DCLK に基づいてクロック  $\phi 1$  及び  $\phi 2$  を生成するタイミング信号生成回路 142 とを備えている。計数値 CNH は、スタートパルス生成回路 13 からの水平スタートパルス HS によりゼロクリアされる。クロック  $\phi 1$  は、ドットクロック DCLK をバッファゲートに通したものであり、ドットクロック DCLK に同期している。クロック  $\phi 2$  は、CNH = 0 のときアクティブになる。

【0005】 一方、Y 制御回路 15 は、ドットカウンタ 141 及びタイミング信号生成回路 142 に対応したラインカウンタ 151 及びタイミング信号生成回路 152 と、水平同期信号 HCLK を生成する水平クロック生成回路 153 とを備えている。水平クロック HCLK は、水平同期信号 \*HSYNC が立ち上がった後、ドットクロック DCLK の立ち上がりからその 1 周期の間高レベルとなる。\* は、負パルスであることを示す（以下同様）。ラインカウンタ 151 の計数値 CNV は、スタートパルス生成回路 13 からの垂直スタートパルス VS によりゼロクリアされる。タイミング信号生成回路 152 は、CNV = 0 の間のみ選択行データ D1 を '1' にする。

【0006】 ここで、表示モードが単一の場合には、液晶表示装置側のスタートパルス生成回路において、水平同期信号 \*HSYNC とドットクロック DCLK とにより水平スタートパルス HS を生成し、垂直同期信号 \*V

SYNCとドットクロックDCLKとにより垂直スタートパルスVSを生成していた。しかし、多くの表示モードが採用されてその標準化が追いつかなくなり、表示データ供給側から、ソフトウェアで設定された表示モードに応じたデータイネーブル信号DEN Aが供給され、これを用いて水平スタートパルスHS及び垂直スタートパルスVSがスタートパルス生成回路13で生成されるようになってきた。

【0007】水平スタートパルスHSは、データイネーブル信号DEN Aがアクティブになった後、ドットクロックDCLKの立ち上がりからその1周期の間アクティブになる。データイネーブル信号DEN Aは、水平同期信号\*HSYNCが高レベルの間において、表示モードに応じたドット数に相当する期間、アクティブになる。垂直スタートパルスVSは、垂直同期信号\*VSYNCが高レベルの間の、最初のデータイネーブル信号DEN Aの立ち上がり検出パルスである。

【0008】

【発明が解決しようとする課題】断線等によりデータイネーブル信号DEN Aがスタートパルス生成回路13に供給されなくなると、水平スタートパルスHSがスタートパルス生成回路13で生成されなくなるので、ドットカウンタ141がリセットされず、これによりクロックφ2がデータ電極駆動回路11及び走査電極駆動回路12に供給されなくなり、液晶表示パネル10上の表示が停止する。

【0009】本発明の目的は、このような問題点に鑑み、断線等によりデータイネーブル信号が液晶表示装置に供給されなくなっても、適当な表示モードで表示を継続することが可能な液晶表示装置を提供することにある。

【0010】

【課題を解決するための手段及びその作用】第1発明では、ドットクロックに同期して表示データが線順次に供給され、該表示データが有効であることを示すデータイネーブル信号が供給され、該ドットクロックがドットカウンタで計数され、該ドットカウンタの計数値が、該データイネーブル信号のアクティブ開始時点付近を示す水平スタートパルスでリセットされ、該ドットクロック及び該ドットカウンタの計数値に基づいて液晶表示パネルの表示電極駆動回路に対する制御信号が生成される液晶表示装置において、該水平スタートパルスのタイミングで該計数値を保持するレジスタと、該レジスタの出力値と該計数値との一致を検出する一致検出回路と、を有し、該一致検出回路の出力に基づいて該ドットカウンタの計数値がリセットされる。

【0011】この第1発明によれば、データイネーブル信号のアクティブ開始時点付近を示す水平スタートパルスでドットカウンタがリセットされる構成の場合に、断線等によりデータイネーブル信号が液晶表示装置に供給

されなくなっても、供給されなくなる直前の水平スタートパルスのタイミングでドットカウンタの計数値がレジスタに保持され、該レジスタの出力値と該計数値との一致を検出する一致検出回路の出力に基づいてドットカウンタの計数値がリセットされるので、適当な表示モードで表示を継続することが可能となる。

【0012】第1発明の第1態様では、システムリセット後、上記水平スタートパルスが所定個数生成される迄の間、上記一致検出回路の出力に基づいて上記ドットカウンタの計数値がリセットされるのを禁止するマスク回路を有する。この第1態様によれば、システムリセット直後のレジスタ値に基づくドットカウンタ計数値のリセットが禁止されるので、システムリセット直後の瞬間の表示の乱れを防止できる。

【0013】第2発明では、ドットクロックに同期して表示データが線順次に供給され、該表示データが有効であることを示すデータイネーブル信号が供給され、水平同期信号に同期した水平クロックがラインカウンタで計数され、該ラインカウンタの計数値が、垂直同期信号の各周期内の最初の該データイネーブル信号のアクティブ開始時点付近を示す垂直スタートパルスでリセットされ、該ラインカウンタの計数値に基づいて液晶表示パネルの走査電極駆動回路に対する走査行データが生成される液晶表示装置において、該垂直スタートパルスのタイミングで該計数値を保持するレジスタと、該レジスタの出力値と該計数値との一致を検出する一致検出回路と、を有し、該一致検出回路の出力に基づいて該ラインカウンタの計数値がリセットされる。

【0014】この第2発明によれば、垂直同期信号の各周期内の最初のデータイネーブル信号のアクティブ開始時点付近を示す垂直スタートパルスでラインカウンタがリセットされる構成の場合に、断線等によりデータイネーブル信号が液晶表示装置に供給されなくなっても、供給されなくなる直前の垂直スタートパルスのタイミングでラインカウンタの計数値がレジスタに保持され、該レジスタの出力値と該計数値との一致を検出する一致検出回路の出力に基づいてラインカウンタの計数値がリセットされるので、適当な表示モードで表示を継続することが可能となる。

【0015】第2発明の第1態様では、システムリセット後、上記垂直スタートパルスが所定個数生成される迄の間、上記一致検出回路の出力に基づいて上記ラインカウンタの計数値がリセットされるのを禁止するマスク回路を有する。この第1態様によれば、システムリセット直後のレジスタ値に基づくラインカウンタ計数値のリセットが禁止されるので、システムリセット直後の瞬間の表示の乱れを防止できる。

【0016】

【実施例】以下、図面に基いて本発明の一実施例を説明する。図1は、一実施例の液晶表示装置を示す。図1

中、図4と同一構成要素には同一符号を付している。図3は、図1の回路の動作を示すタイミングチャートである。図3中の時間軸は、(A)～(D)は互いに同一スケールであり、(E)は(B)を拡大したものであり、(E)～(K)は互いに同一スケールである。

【0017】X制御回路14Aは、図4のドットカウンタ141及びタイミング信号生成回路142に更に、内部リセット信号生成回路144、マスク回路145及びオアゲート146を備えている。内部リセット信号生成回路144は、断線等によりデータインーブル信号DEN Aが供給されなくなると水平スタートパルスHSがスタートパルス生成回路13で生成されなくなった場合に、水平スタートパルスHSの替わりに用いられる内部リセット信号RESHを生成するためのものである。内部リセット信号RESHは、ドットカウンタ141からの計数値CNHと、データインーブル信号DEN Aが有効なときの水平スタートパルスHSとに基づいて生成される。

【0018】内部リセット信号生成回路144の構成例を図2(A)に示す。内部リセット信号生成回路144は、水平スタートパルスHSの立ち上がりのタイミングで計数値CNHを保持するレジスタ20と、レジスタ20の出力値と計数値CNHとの一致を検出する一致検出回路21と、一致検出回路21からの一致検出信号EQを遅延させ内部リセット信号RESHとして出力するディレイ回路22とからなる。

【0019】図3に示す如く、水平スタートパルスHSは、データインーブル信号DEN Aがアクティブになった後、ドットクロックDCLKの立ち上がりからその1周期の間アクティブになる。データインーブル信号DEN Aは、水平同期信号\*HSYNCが高レベルの間において、ドットクロックDCLKが例えば3回立ち上がった後、表示モードに応じたドット数に相当する期間、アクティブになる。水平スタートパルスHSがオアゲート146を介し水平リセット信号RHとしてドットカウンタ141のリセット入力端に供給されるので、計数値CNHは、水平スタートパルスHSの立ち上がりで同期してゼロクリアされる。計数値CNHの最大値Nは、データインーブル信号DEN Aの1周期の間のドットクロックDCLKの個数より1小さい値である。CNH=Nは、水平スタートパルスHSの立ち上がり時点でレジスタ20に保持される。次に計数値CNHが0となり、これがその後増加してNになると、一致検出信号EQが高レベルとなり、次いで計数値CNHが0となって一致検出信号EQが低レベルとなる。ディレイ回路22による遅延時間は、ドットクロックDCLKの1周期以内である。

【0020】レジスタ20の出力は、システムリセット直後にはNになることが保証されない。したがって、このときの内部リセット信号RESHで図1のドットカウ

ンタ141がリセットされるのを禁止する必要がある。マスク回路145は、この禁止のためのものであり、その構成例を図2(B)に示す。マスク回路145は、Dフリップフロップ30とDフリップフロップ31とが縦続接続され、Dフリップフロップ31の出力と内部リセット信号RESHとがアンドゲート32に供給され、アンドゲート32から内部水平スタートパルスHIが取り出される。Dフリップフロップ30のデータ入力端Dは、電源供給線VDDに接続され、Dフリップフロップ30及び31のクロック入力端に水平スタートパルスHSが供給され、Dフリップフロップ30及び31のリセット入力端にシステムリセット信号\*RESが供給される。

【0021】システムリセット信号\*RESの負パルスでDフリップフロップ30及び31の非反転出力端Qが'0'となり、次に、水平スタートパルスHSの立ち上がりでDフリップフロップ30の非反転出力端Qが'1'となり、次の水平スタートパルスHSの立ち上がりでDフリップフロップ31の非反転出力端Qが'1'となって、アンドゲート32が開かれ、内部リセット信号RESHが、有効な内部水平スタートパルスHIとしてアンドゲート32から取り出される。

【0022】図1において、Y制御回路15Aは、図4のラインカウンタ151、タイミング信号生成回路152及び水平クロック生成回路153に更に、内部リセット信号生成回路154、マスク回路155及びオアゲート156を備えている。内部リセット信号生成回路154、マスク回路155及びオアゲート156はそれぞれ、内部リセット信号生成回路144、マスク回路145及びオアゲート146と同一構成である。

【0023】垂直スタートパルスVS、水平同期信号HCLK、計数値CNV、内部リセット信号RESV及び内部垂直スタートパルスVIはそれぞれ、水平スタートパルスHS、ドットクロックDCLK、計数値CNH、内部リセット信号RESH及び内部水平スタートパルスHIに対応している。図3に示す如く、垂直スタートパルスVSは、垂直同期信号\*VSYNCが高レベルの間の、最初のデータインーブル信号DEN Aの立ち上がり検出パルスである。水平同期信号HCLKは、水平クロック生成回路153により生成され、水平同期信号\*HSYNCが立ち上がった後、ドットクロックDCLKの立ち上がりからその1周期の間高レベルとなる。

【0024】次に、上記の如く構成された本実施例の動作を説明する。電源投入等により液晶表示装置を含むシステムがリセットされると、マスク回路145及び155がリセットされる。計数値CNHが増加してNになると、スタートパルス生成回路13からの水平スタートパルスHSにより計数値CNHがゼロクリアされる。計数値CNHが2回ゼロクリアされると、マスク回路145の出力HIが有効になる。水平スタートパルスHSが有

効な場合、内部水平スタートパルスH Iの立ち上がり時点は水平スタートパルスH Sのそれとほぼ同じになり両信号の論理和が水平リセット信号R Hとしてドットカウンタ141のリセット入力端Rに供給される。

【0025】同様に、計数値C N Vが増加して表示行数になると、スタートパルス生成回路13からの垂直スタートパルスV Sにより計数値C N Vがゼロクリアされ、計数値C N Vが2回ゼロクリアされると、マスク回路155の出力内部垂直スタートパルスV Iが有効になる。垂直スタートパルスV Sが有効な場合、内部垂直スタートパルスV Iの立ち上がり時点は垂直スタートパルスV Sのそれとほぼ同じになり、両信号の論理和が垂直リセット信号R Vとしてラインカウンタ151のリセット入力端Rに供給される。

【0026】断線等により、データイネーブル信号D E N Aがスタートパルス生成回路13に供給されなくなると、スタートパルス生成回路13からの水平スタートパルスH S及び垂直スタートパルスV Sが常に低レベルとなる。しかし、内部リセット信号R E S Hがマスク回路145及びオアゲート146を介し、水平リセット信号R Hとしてドットカウンタ141のリセット入力端に供給され、かつ、内部リセット信号R E S Vがマスク回路155及びオアゲート156を介し、垂直リセット信号R Vとしてラインカウンタ151のリセット入力端に供給されるので、データ電極駆動回路11へのクロックφ2並びに走査電極駆動回路12へのクロックφ2及び選択行データD1が有効となり、液晶表示パネル10上の表示が継続して行われる。

【0027】なお、本発明には外にも種々の変形例が含まれる。例えば、垂直スタートパルスV Sと水平スタートパルスH Sの一方をデータイネーブル信号D E N Aを用いずに液晶表示装置内で生成し、その垂直スタートパルスV S又は水平スタートパルスH Sに対して図4に示すX制御回路14又はY制御回路15を用いる構成であってもよい。また、水平スタートパルスH S及び垂直スタートパルスV Sの立ち上がり時点は図3に示す立ち上がり時点から少しシフトしたものであってもよい。

【0028】

【発明の効果】以上説明した如く、第1発明に係る液晶表示装置によれば、データイネーブル信号のアクティブ開始時点付近を示す水平スタートパルスでドットカウンタがリセットされる構成の場合に、断線等によりデータイネーブル信号が液晶表示装置に供給されなくなっても、供給されなくなる直前の水平スタートパルスのタイミングでドットカウンタの計数値がレジスタに保持され、該レジスタの出力値と該計数値との一致を検出する

一致検出回路の出力に基づいてドットカウンタの計数値がリセットされるので、適当な表示モードで表示を継続することが可能となるという効果を奏する。

【0029】第1発明の第1態様によれば、システムリセット直後のレジスタ値に基づくドットカウンタ計数値のリセットが禁止されるので、システムリセット直後の瞬間の表示の乱れを防止できるという効果を奏する。第2発明に係る液晶表示装置によれば、垂直同期信号の各周期内の最初のデータイネーブル信号のアクティブ開始時点付近を示す垂直スタートパルスでラインカウンタがリセットされる構成の場合に、断線等によりデータイネーブル信号が液晶表示装置に供給されなくなっても、供給されなくなる直前の垂直スタートパルスのタイミングでラインカウンタの計数値がレジスタに保持され、該レジスタの出力値と該計数値との一致を検出する一致検出回路の出力に基づいてラインカウンタの計数値がリセットされるので、適当な表示モードで表示を継続することが可能となるという効果を奏する。

【0030】第2発明の第1態様によれば、システムリセット直後のレジスタ値に基づくラインカウンタ計数値のリセットが禁止されるので、システムリセット直後の瞬間の表示の乱れを防止できるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の一実施例の液晶表示装置を示すブロック図である。

【図2】(A)は内部リセット信号生成回路の構成例を示し、(B)はマスク回路の構成例を示す図である。

【図3】図1の回路の動作を示すタイミングチャートである。

【図4】従来の液晶表示装置を示すブロック図である。

【符号の説明】

- 11 データ電極駆動回路
- 12 走査電極駆動回路
- 13 スタートパルス生成回路
- 14、14A X制御回路
- 15、15A Y制御回路
- 20 レジスタ
- 21 一致検出回路
- 22 ディレイ回路
- 30、31 Dフリップフロップ
- 141 ドットカウンタ
- 142、152 タイミング信号生成回路
- 144、154 内部リセット信号生成回路
- 145、155 マスク回路
- 151 ラインカウンタ
- 153 水平クロック生成回路

【图2】

(A) は内部リセット信号生成回路の構成例を示し、  
(B) はマスク回路の構成例を示す図

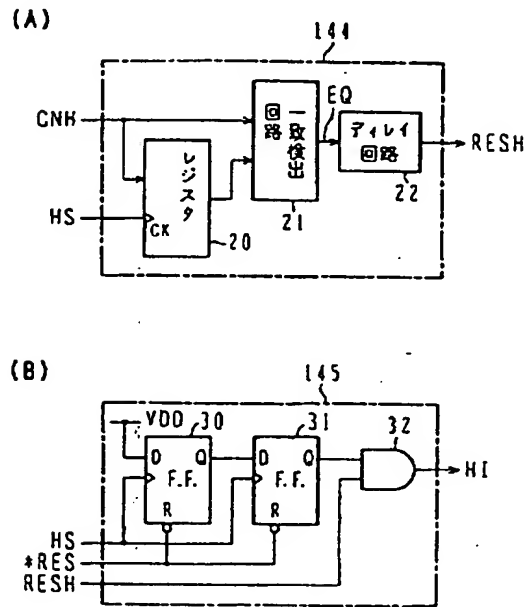
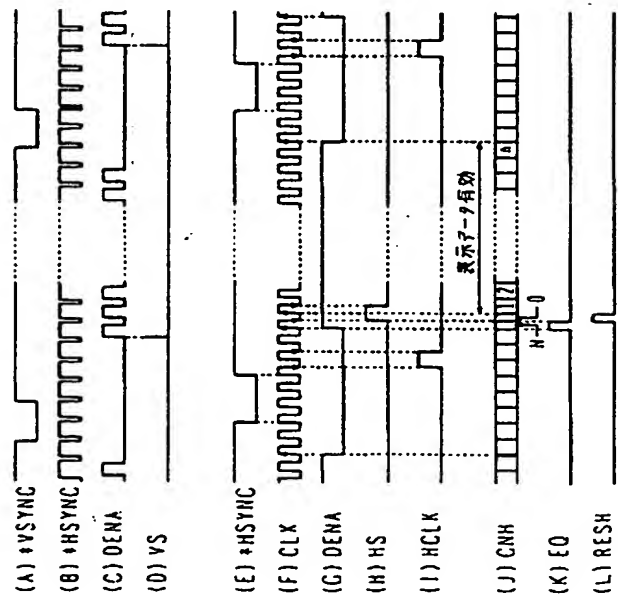
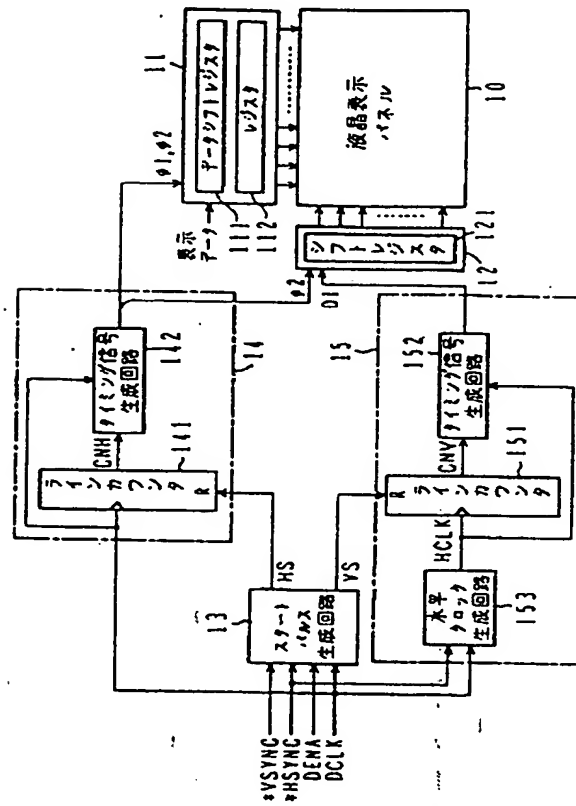


図1の回路の動作を示すタイミングチャート



従来の液晶表示装置を示すブロック図



(72)発明者 岡本 和浩  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(72)発明者 古越 靖武  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内